KISTEP 기술동향브리프

2020-16호

반도체 후공정 (패키징)

채명식 · 여성율

KISTEP 한국과학기술기획평가원
Korea Institute of S&T Evaluation and Planning

Contents

제1장 개요 ····· 1

제2장 기술동향 ····· 4

제3장 산업동향 ····· 14

제4장 정책동향 ····· 19

제5장 R&D 투자동향 ····· 24

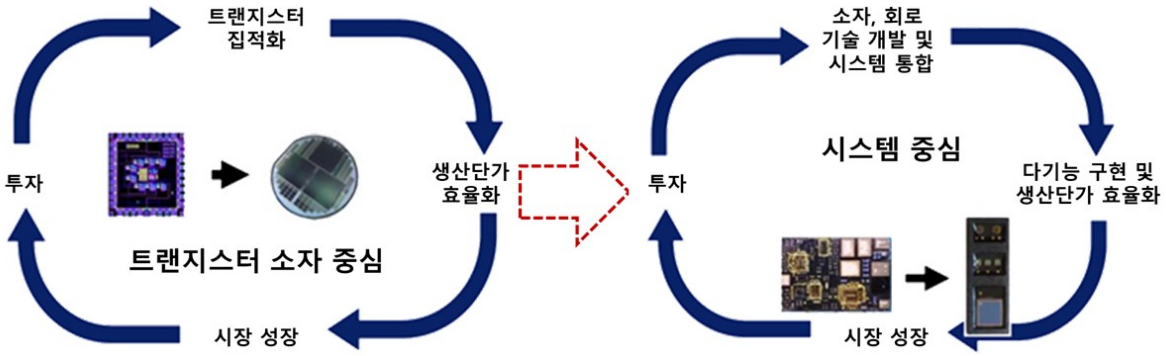
제6장 결론 ····· 29

제1장 개요

1.1 작성 배경

반도체 소자의 단순 미세화(scaling)에 따른 성능 발전 방식 한계에 봉착함에 따라, 저전력·고성능 구동 조건을 충족하는 고집적 소자 구현을 위한 패러다임 변화 요구

- 현재의 반도체 미세화 방식이 갖는 설계 기술 및 제조 공정의 고비용·고난이도에 따른 경제적 효율성 저하를 극복하기 위한 돌파구 마련 필요
- 단순히 소자의 성능·가격을 개선하기 위한 미세화 공정 중심의 반도체 개발 방향은 시장 수요에 맞춰 시스템과 응용 분야(application) 중심으로 전환 중



출처: IEEE HIR, 2019.

[그림 1] 반도체 제조 산업 패러다임의 변화

반도체 산업이 자동차, 에너지, 의료, 환경 등 전(全)산업 분야로 확산하며, 다기능 반도체에 대한 수요 증가

- 사용자와의 소통이 필요한 대부분 전자기기는 다기능을 갖춘 반도체가 요구되며, 이를 구현하기 위해 개별 소자들의 단일 패키지화가 요구
- 또한, 시장 수요를 충족하는 다기능화 소자 구현과 함께 가격경쟁력까지 갖추기 위한 반도체 제조 공정의 고도화가 필요

이러한 반도체 미세화 기술의 한계와 다양한 시장수요에 대응하기 위해 패키징 공정의 중요성이 대두

- 패키징 공정은 전공정에서 제작된 집적회로소자를 포장하여 완성품으로 제작하는 과정으로, 향후 반도체 소자의 고집적·다기능 구현을 위한 핵심 기술로 주목

- 첨단 패키징(Advanced package) 기술의 도입으로 다양한 칩을 하나의 소자로 통합이 가능해지며, 전기적 연결과 반도체 소자의 보호가 목적이었던 전통적인 패키징 기술을 대체하며 고부가가치를 구현하는 산업 내 핵심경쟁력으로 부상

1.2 기술의 정의 및 범위

반도체 산업은 반도체 소자의 설계·제조, 반도체 생산 장비를 제조하고, 소재를 생산하는 산업으로 분류

- 반도체 제조산업의 기업형태는 크게 종합반도체(IDM, Integrated device manufacturer), 팹리스, 디자인하우스, 파운드리, 패키징·테스트(OSAT, Outsourced semiconductor assembly and test)으로 구분
  - IDM(종합반도체)기업은 반도체 생산을 위한 설계·제조를 모두 수행하며, 일반적인 시스템 반도체 산업은 수요에 따라 설계(팹리스, Fabless)와 생산(파운드리, Foundry)으로 분업화하여 다품종 생산에 특화
  - 일반적으로 IDM 및 파운드리에서 생산한 반도체 소자의 패키징 및 테스트 등 후공정은 외주 형태로 OSAT 기업에서 전문적으로 수행

〈표 1〉 반도체 산업 내 주요 기업 유형

유형	특징	주요업체
IDM기업 (종합 반도체 기업)	• 설계·제조·패키지·테스트 등 모든 생산과정을 직접 수행 • 메모리 반도체 중심으로 대규모 R&D 및 설비투자 필요	삼성전자(한국) SK하이닉스(한국) Intel(미국)
팹리스 (설계 전문 기업)	• 반도체 제조시설 없이 설계만을 수행 • 파운드리를 통해 위탁생산 후 제품을 판매 • 우수한 설계 기술 인력확보 필요	퀄컴(미국) 엔비디아(미국) 미디어텍(대만)
디자인하우스 (설계-제조의 가교)	• 팹리스의 설계를 업그레이드 • 파운드리에 따라 파트너사 형성	Faraday(대만) GUC(대만) 하나텍(한국)
파운드리 (수탁 생산 기업)	• 팹리스 업체가 설계한 반도체를 위탁 생산 • 전문생산업체로 초기에 대량 설비투자 비용이 필요	TSMC(대만) 삼성전자(한국) UMC(미국)
OSAT 기업 (조립 및 검사 전문기업)	• 가공된 웨이퍼 조립/패키징 전문 • 축적된 경험 및 거래선 확보 필요	ASE(대만) Amkor(미국) StatsChipPAC(중국)

반도체 제조 공정은 웨이퍼에 회로를 인쇄하는 전공정과 개별칩으로 분리 조립·검사하는 후공정으로 분류

- 반도체 전공정은 미세화 기술 등 반도체 소자의 품질을 좌우하는 단계로 웨이퍼에 회로를 구현하기 위해 노광·식각·증착·세정·연마 등 공정을 반복 수행
  - 지금까지 반도체 소자의 집적화가 이루어진 생산 단계로써, 소위 10nm, 7nm 공정 등 회로의 최소 선폭을 구현
  - 고집적화에 따른 첨단 제조설비 구축을 위해 막대한 투자비용(약 7~10조 원)이 발생하므로 응용분야에 따라 소수의 IDM과 파운드리가 대부분의 시장을 점유
- 반도체 후공정은 회로 패턴이 형성된 웨이퍼를 개별칩 단위로 분리·조립하여 최종 제품인 반도체 칩을 제품화(패키징)하고 성능·신뢰성 테스트 수행
  - 일반적으로 개별 칩이 제작된 웨이퍼의 배선 연결 및 밀봉(패키징)과 불량 여부를 판정(테스트)하는 과정을 포함
  - 전통적인 반도체 패키징은 OSAT 기업이 주로 수행하였으나, 최근 패키지 초소형화와 그에 따른 기술적 난이도 증가에 따라 대형 파운드리와 IDM 기업이 진출

〈표 2〉 반도체 공정의 구분

공정		기능
전공정	노광	- 빛을 사용하여 웨이퍼 위로 회로 패턴을 그려 넣는 과정
	식각	- 그려진 회로도를 깎아서 반도체 구조물을 형성하는 과정
	증착	- 증착: 회로 간 구분·연결·보호 역할을 하는 박막 형성
	이온주입·열처리	- 이온주입: 소재의 전기적 물성을 변형하기 위해 불순물 주입 - 열처리: 고온 가열을 통해 웨이퍼 내 물질의 균일도 향상
	측정·분석	- 제작 과정 중간에 웨이퍼 내 물질 특성(두께·성분 등) 분석
후공정	조립	- 패턴 웨이퍼를 단일 소자 크기로 절단
	패키징	- 반도체 회로(IC)와 전자제품 보드에 전기적 신호 연결 및 보호
	테스트	- 최종 테스트로써 칩의 불량 여부를 판정

본 고를 통해 반도체 패키징 기술의 국내외 기술, 산업, 정책, R&D 투자 동향을 파악하고, 이를 통해 시사점을 도출하고자 함

제2장 기술동향

패키징 기술은 개별 반도체 회로(Integrated circuit, IC) 단위에서 다수의 IC와 수동소자[1)]를 집적한 모듈 형태의 패키징 기술로 진화

- 패키징 공정은 ①전통적인 리드프레임 계열의 방식인 QFN, TSOP 등에서 ②솔더볼·범프 등을 이용하는 BGA, FC 등 기술을 거쳐 ③고집적·다기능 소자 구현이 가능한 FO-WLP, TSV 등 첨단 패키징 기술로 패러다임 변화
  - 이와 같은 첨단 패키징 기술은 내장 부품의 수율과 시스템 전체에 대한 높은 이해도가 요구되는 기술집약적 산업으로 신속한 시장 수요 파악 및 경제적 대응 역량 필요
  - 최근, 더 많은 부품이 하나의 패키지로 구현함에 따라 시스템적인 성격을 나타내기 시작했으며, 패키지 기판(모듈기판)의 성장률이 전통적인 기판보다 높아지는 추세

반도체 미세화가 고도화됨에 따라 전통적인 와이어본딩 및 솔더링 방식에서 다기능·고집적화를 구현하기 위해 첨단 패키징 기술로 진화

- 전통적인 리드프레임에서 PCB 및 표면 실장 기술(Surface mount technology) 기반으로 진화해온 패키징 기술은 범핑, 인터커넥션, 적층(Stacking) 및 재배선(Redistribution layer, RDL) 등 전(前)공정 기술의 도입을 통한 차세대 기술로 발전 중
  - 수~수십 nm 레벨의 IC와 수 μm 크기의 패키지 기판 크기 격차를 해소하기 위해 패키지 내부 연결 배선에 반도체 공정을 도입하거나, 단일 패키지에 많은 외부 소자를 내장하여 외부로 나오는 단자 수를 줄이는 등의 시도 중
  - 특히, 전공정을 이용한 IC 간 미세연결(Interconnection)은 전송손실 및 기생성분을 최소화하여, 고속 대용량 데이터 전송과 높은 동작 주파수 대역에서의 발생하는 기술적인 문제해결
- 차세대 패키징 기술의 개발을 통해 기존 패키징 공정에서 발생하는 병목 현상을 해소하여, 전공정을 통한 IC 미세화에 의존하는 비효율적인 구조를 개선하고자 함

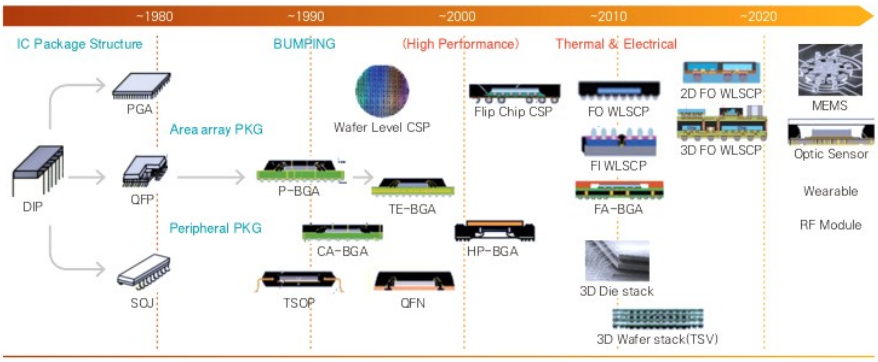
1) 대표적으로 콘덴서, 고성능 코일 등 전압을 인가하기 전에 독립적으로 역할을 수행할 수 없는 소자들로, 소형화가 어려워 대부분 IC에 집적시키기 어려운 부품들

- 파운드리와 OSAT기업을 중심으로 기존 FC(Flip-Chip) 등과 같은 패키징 기술을 비롯하여 2.5D/3D 적층을 위한 TSV 기술, Fan-Out WLP(FOWLP) 기술 등 첨단 패키징 기술에 대한 비중 증가
- 이처럼 단순 반도체의 보호 및 연결 기능에 그쳤던 기존의 반도체 패키징의 역할은 시스템 레벨 집접화(System-level integration)의 방향으로 진화 중이며 궁극적으로 2.5D/3D 적층 방식으로 발전 중

〈표 3〉 주요 패키징 유형별 특징

구분		특징
(리드프레임 기반) QFN(Quad Flat No-Lead) TSOP(Thin Small Outline Package)		- 와이어 본딩 후 몰딩하는 전통적인 패키징 방식으로, 작고 가벼워 전기적 성능과 열적 특성이 우수 - 리드프레임 사용 시 메모리반도체 패키징으로 사용
(볼 그리드 어레이) BOC(Board On Chip) FC*(Flip Chip Package)		- 와이어 대신 bump를 결합 소재로 사용하는 방식으로 TSOP 등 전통적인 방식에 비해 작고 얇음 - 입출력 단자 많고 전기적 특성이 좋으며 고밀도 PCB 형태로써, 메모리 패키지, TV, set top box 등에 이용
이종접합 패키징	HI* (Heterogeneous Integration)	- 개별적으로 제조된 여러 구성 요소들(프로세서, 메모리, 센서, 광, MEMS 소자 등)을 단일 칩 크기에 준하는 수준으로 조립 및 포장 - 하나의 패키지 내의 다양한 칩을 접합하기 위해 WLP, SiP, TSV 등 기술들이 복합적으로 사용되며, 향후 고집적·다기능 소자를 구현하기 위한 주요 기술
	WLP* (Wafer Level Package)	- IC가 형성된 웨이퍼 단위로 직접 패키지 하는 형태로 PCB 기판이 불필요하여 초소형화가 가능 - 전기적 특성이 우수하며, 기존 패키징 공정 대피 원가 경쟁력이 높아 모바일 기기와 IoT 시장에서 매우 유리
	SiP* (System in Package)	- 서로 다른 기능의 소자들을 하나의 패키지화 하는 방식으로 소자 간 접속경로를 줄여 고성능, 우수한 전기적 특성 - 초경량. 초소형의 반도체 기능 확보하여 무선 통신 단말기 분야, MEMS, 카메라 모듈 등에 주료 활용
	POP (Package on Package)	- 연결 배선 길이 최소화를 통해 모바일에서 AP, 베이스 밴드 칩과 메모리를 통합하여 초소형 부품 구현 - 모바일, PDA, 디지털카메라에서 주로 이용
	TSV* (Through Hole Via)	- 칩에 구멍(Via Hole) 뚫어 상·하단칩을 전극으로 연결하는 방식으로, 메모리칩을 적층하여 대용량 구현 가능 - 속도와 소비전력의 개선이 큰 폭으로 가능하여, CMOS 이미지 센서, 고용량 메모리가 필요한 제품
	(미래 기술) Flexible Package, Embedded Die	- 80μm 이하로 소자를 얇게 가공하여 플렉서블 기판에 접합하는 기술로, 휘어질 수 있어 웨어러블 제품에 적용

*본 고에서 다루는 패키징 기술



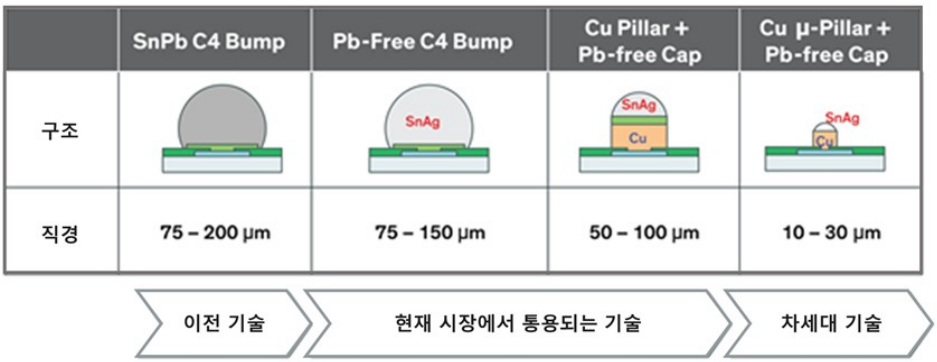
출처: NEPES

[그림 2] 패키징 기술의 변화

2.1. Flip-Chip(FC) 패키징

반도체 칩과 기판을 서로 마주 보는 상태로 구성하여 반도체 칩 상에 형성된 Solder Bump[2]를 기판의 배선용 전극에 직접 접합하는 방식

- 전통적인 와이어본딩 등을 통한 접합 기술에 대한 전기적 성능향상 한계에 따라 Bump 소재를 이용한 Flip Chip 패키징 방식에 대한 수요 증가
  - 기존 와이어 본딩 방식 대비 1/10 이하의 임피던스를 가지며, 패키지 크기를 단일 소자(die) 단위까지 줄일 수 있고, 우수한 방열 효과를 가짐
  - 반도체 집적화에 따라 28nm 미만 공정은 기존의 Solder bump 대신 Cu pillar bump를 적용하는 등 소자 미세화에 대응하며 지속적인 기술 고도화 진행 중
    ※ 원가 절감을 위한 납, 주석 및 무연 솔더 등 기존 bump 소재를 대체한 FC 패키징 개발 추세



출처: DUPONT

[그림 3] FC 패키징 기술의 발전

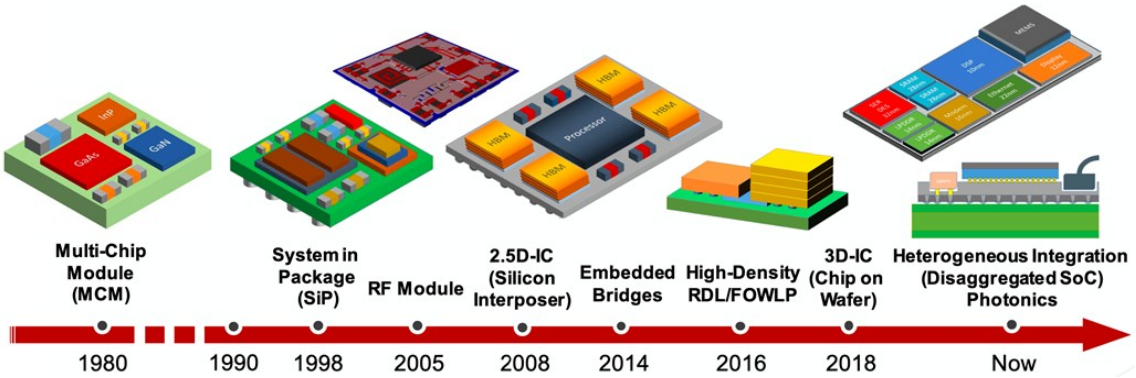
2) 일반적으로 Bumping 패키지는 Wafer-level에서 패터닝 기술로 칩의 입출력 단자 전극을 RDL하여 기존 와이어 본딩 한계를 보완한 기술로써, 이때 bump는 칩과 PCB 간 전기적 연결을 위해 사용되는 전도성 물질로 Solder, Au, Cu 등 소재를 사용

- 첨단 반도체의 기능이 다양해지면서 복잡성은 증가하고 크기는 감소하여 입출력 (I/O) 단자의 연결이 중요한 문제로 대두되며, 플립 칩 시장이 성장할 것으로 전망
  - FC 패키징은 높은 집적도, 많은 I/O 수, 빠른 속도, 더욱 나은 신호 강도를 통해 지속적인 시장 성장을 달성
  - 기존 CPU, GPU, APU 등 패키지에 주로 활용된 FC 기술은 최근 메모리 제품군에 폭넓게 적용중이며, 5G칩·RF 모듈 등은 FC기반 SiP 기술을 사용하는 추세로 지속적인 수요 창출 전망

2.2. 이종접합 패키징

이종접합(Heterogeneous integration, HI) 패키지 기술은 전기적, 열적 성능이 우수하면서도 작은 폼펙터(구조)로 다기능을 구현할 수 있어 최근 패키지 기술로 광범위하게 활용

- 프로세서, 메모리, 센서, 광, RF 및 MEMS와 같이 다양한 기능의 소자들을 통합하기 위해 기존의 솔더링이나 와이어 본딩이 아닌 RDL공정 등을 사용하여 회로 간 미세연결(interconnection) 구조를 구현
  - 전술한 바와 같이 전공정의 기술적·경제적 한계 봉착에 따라 패키지 안에서 로직, 메모리, 및 다양한 칩을 이종접합하기 위한 다양한 패키징 기술들[3]이 개발
  - HI 패키지 구현을 위해서는 SiP, WLP 및 다양한 2D/2.5D/3D 배선 기술(TSV 기술 등)과 같은 배선 통로를 확장할 수 있는 고난이도 기술 필요

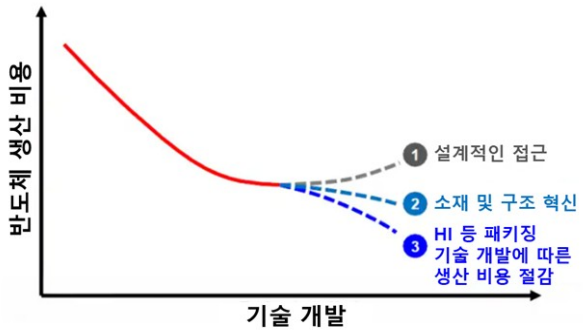


출처: Cadence

[그림 4] 다중 소자 패키징에서 이종접합 패키징으로의 발전

3) TSV interposer layer, RDL(Redistribution Layer) interposer, Embedded bridge 등

- HI 패키징 기술은 CPU 제품에서부터 향후 인공지능 반도체 및 IoT 산업까지 적용 분야를 광범위하게 확장할 것으로 전망
  - 미세 공정에 따른 PPA(Power, Performance, Area) 극대화는 일부(삼성전자, TC)서 진행하고 있으나, 소자·설계 분야에서는 HI기술과 같은 첨단 패키징 기술의 적용이 PPA 극대화의 주류로 정착하는 단계
  - 전통적인 CPU 소자 생산업체인 Intel은 복수의 die들이 단일 소자 내에서 초고속으로 통신할 수 있는 차세대 HI 패키징 기술인 EMIB(Embedded Multi-die Interconnect Bridge)[4]을 발표
- 이처럼 기업들은 지속적인 첨단 패키징 기술의 고도화를 통해 집적화에 따른 성능향상 및 생산비용 절감 효과의 동시 달성을 모색



출처: TSMC

[그림 5] 공정기술 개발에 따른 반도체 생산비용 개선

2.3. System in Package 기술

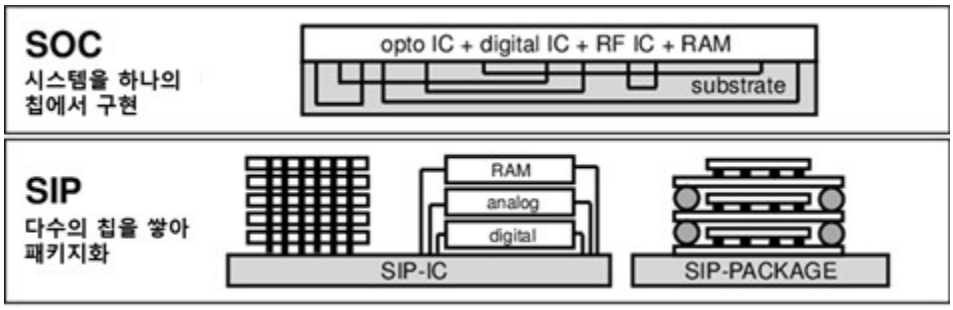
System in Package(SiP) 기술은 다수의 첨단 패키징 기술을 조합함으로써 최종 응용 소자에 대한 맞춤형 활용 가능

- SiP는 복수의 칩을 하나의 단위로 패키지화하여 시스템을 구성하고 다기능을 구현하는 고집적 패키징 기술
  - 과거 융합 제품에는 여러 기능을 가진 다수의 부품을 단일 반도체로 집약하기 위한 SoC (System-on-chip) 기술을 적용하였으나, 여러 문제*에 직면

    * 오랜 개발 기간, 높은 비용, 낮은 수율, 다품종 소량생산 구현의 어려움 등 수요가 높은 시스템반도체 산업에 부적합

4) EMIB는 실리콘 인터포저와 TSV 대신 EMIB라는 구조를 형성하여, 소자들을 연결하는 기술로 구조적 특성상 서로 다른 die들은 물론이고, 22나노(전세대공정)/14나노/10나노(최신공정) 등 공정 세대가 다른 부품들을 연결할 수 있으므로 경제성 향상으로도 주목받는 기술

- 반면, SiP 기술은 이미 제작된 개별 블록을 크게 변경하지 않고 단일 패키지로 통합이 가능하여 제조 공정에 대한 의존성을 낮추고, 효과적인 패키징이 가능



출처: IEEE ECTC 재구성

[그림 6] SoC방식과 SiP 방식의 비교

- SiP 기술은 개별 칩·부품을 제작하는 SoC 기술과 시스템 통합 기술이 종합된 방식
  - 기존 개발해 놓은 개별 칩의 설계를 큰 변경 없이 활용 가능하며, 다양한 응용제품 적용이 가능하므로 다품종 소량생산에 적합
  - 제조공정이 서로 다른 여러 칩을 단일 패키지로 통합 가능한 장점을 바탕으로, 모바일, IoT, 웨어러블, 의료, 자동차, 통신 등 다양한 시장에 활용 가능하며 향후 적용 분야가 광범위하게 확대될 것으로 전망

2.3. Fan-Out 기술

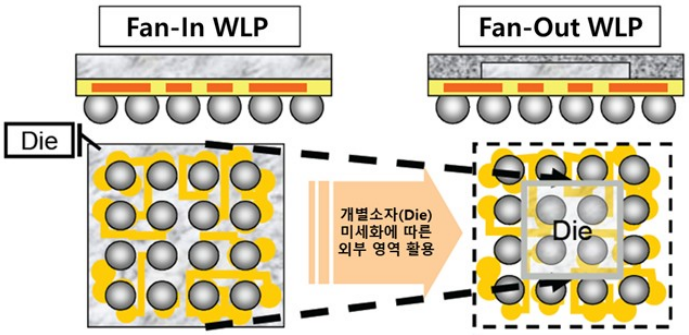
Fan-Out(FO) 기술은 PCB 기판을 사용하지 않고 칩과 칩 바깥 영역의 입출력 단자를 연결함으로써 집적화와 전기적 성능향상 구현

- FO 기술을 적극적으로 활용하는 WLP[5] 방식은 RDL 배선이 칩 안쪽으로 형성되는 Fan-In (FI) 방식과 칩의 바깥 영역까지 사용하는 FO-WLP 방식으로 구분
  - FO-WLP 기술은 칩보다 넓은 배선 영역을 제공하여 다양한 동종·이종결합을 구현하여 기존 FC나 FI-WLP 기술에 비해서 전기적·열적 특성이 우수하고 소형화가 가능함
  - FO-WLP 기술은 작은 크기를 갖는 패키지 방식으로 다양한 모바일 제품, 자동차 레이더, RF 패키지, 고성능 네트워킹 시스템 등 반도체 소자에 주로 사용

- 90nm 공정에서 주로 사용되었던 Fan-In(FI) 방식의 WLP(Wafer Level Package)기술은 45nm 이하부터 개별 IC에 RDL 과 Bump 들을 배열할 공간의 부족 문제에 따라 IC 면적 외부까지의 공간을 활용할 수 있는 Fan-Out(FO)기술 개발·도입

5) WLP(Wafer level package) 기술: PCB 기판 없이 웨이퍼 레벨에서 칩과 보드 영역을 직접 접합함으로써 전기적 특성을 향상하고, 소형화를 달성할 수 있는 패키지 방식

- '16년 TSMC가 애플社의 AP(Application processor)와 메모리(DRAM)를 FO기술로 개발함에 따라 시장이 빠른 속도로 성장
- 패키지 기판을 사용하지 않은 FO 특징으로 전체 제품의 두께를 20% 감소시키고, 이를 통한 속도 20% 향상, 전력 손실 10% 감축 등 장점을 가짐



출처: NEPES

[그림 7] Fan-In과 Fan-Out 공정의 비교

- FO기술은 기존 기업들이 보유한 WLP기술을 중심으로 발전해왔으며, 후발 제조사들은 고유한 FO기술 개발을 통한 시장 진입과 가격경쟁력 확보 모색
  - 그 중 Panel level package(PLP) 기술은 사각형 패널에 구멍을 뚫고 반도체 소자를 붙이는 방식으로 기존 원형의 웨이퍼를 사용하는 방식(WLP)과 달리 손실 영역을 최소화하며 비용과 수율 개선[6)]
  - 이와 같이 FO 패키지의 최종 소자 모양은 유사하나, 제조사별로 고유의 기술을 개발하며 양산 적용 중

〈표 4〉 주요 업체에서 개발·활용 중인 FO 패키징 기술

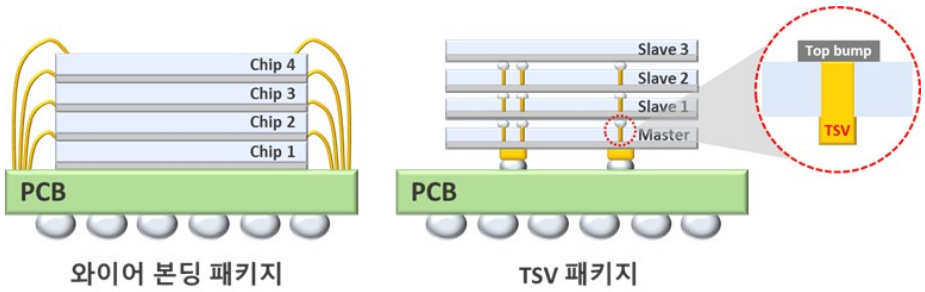
기술명	eWLP	RCP	Panal FOWLP	InFO	SWIFT/ SLIM	Panel-based FOWLP
업체	ASE, 인스피언, 스태츠칩팩, Nanium	Freescale, 네페스	J-device	TSMC	Amkor	SPIL
적용 기판	300mm wafer	300mm wafer	410×515mm Panel	300mm wafer	300mm wafer	370×470mm Panel

6) 기존 웨이퍼 기반 패키지의 경우 원형의 특성상 절단에 따른 손실 부위(<85%)가 많은 반면, PLP 기술은 웨이퍼에서 잘라낸 칩을 사각형 패널에서 패키징 하므로 기판의 대부분의 면적(<95%)을 활용 가능

2.4. TSV 기술

TSV(Through Si Via)는 2개 이상의 반도체 칩을 적층하기 위해 이를 관통하는 Via Hole 구조로 전극을 형성하여 패키지를 소형화하는 기술

- 전통적으로 와이어나 bump를 이용하여 반도체 칩을 전기적으로 집적하는 기술에서 벗어나, 상·하단 칩에 미세한 구멍을 뚫고 전극(실리콘 관통 전극)을 형성하여 2.5D/3D 등 입체적인 구조로 적층을 구현
  - 이를 통해 기존 와이어본딩에서 갖는 I/O 수 제한, 단락 접촉 불량 및 신호 지연 개선이 가능
  - CMOS 센서, MEMS, HB-LED 모듈 및 SiP 등 고밀도 첨단 전자 패키징 분야에서 주로 이용되었으며, '10년대부터 적층형 메모리반도체에 적용



[그림 8] 전통적인 와이어본딩 패키지 기술과 TSV 기술의 비교

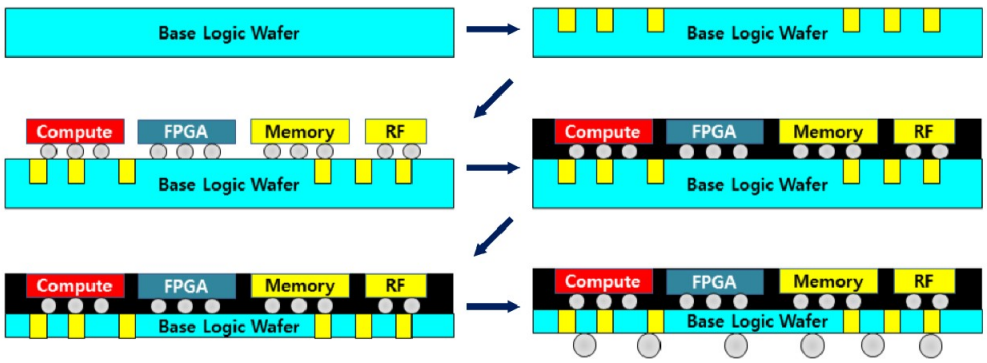
- TSV기술은 '00년 초반 본격적인 기술개발을 시작으로 '11년 Xillinx社의 2.5D FPGA (field programmable gate array) 적용, '15년 삼정전자 DDR4 양산을 거쳐 현재 2.5D/3D 집적의 핵심기술로 자리매김
  - '00년 중반 구현이 예측되었던 "3D TSV Stack" 기술이 대략 7~8년 이후 시장에 등장한 것으로 볼 수 있으며, 등장 초기에 적용되었던 메모리 반도체 뿐 아니라 CPU 및 GPU 등 시스템반도체 영역에서도 활발히 적용 중
  - 소수의 파운드리 기업만이 최소 선폭 7nm을 넘어 5nm 이하를 구현하고 있는 기술 수준에서, 단순 미세화에 의존하지 않고 높아지는 기술적 요구수준에 대항하는 유일한 방법으로 인식되고 있음
- 동일한 반도체 칩을 적층하는 메모리반도체 구조와는 달리, 시스템반도체와 같이 이종접합이 필요한 경우 수직 연결만 가능한 TSV뿐 아니라 인터포저(interposer)[7]를 이용하여 같은 수평적 연결 기능이 필요

7) 이미 상판에 Bare Chip, 하판에 Connector를 실장(구현)된 기판과 유사한 부품으로써 리드프레임과 몰드의 역할을 수행

- 기존 배선용 RDL 기능 위주의 수동 인터포저(Passive interposer) 기술을 넘어 전원을 포함하는 형태의 소자 구현을 위해 DC/DC 컨버터, Power supply 및 regulator 등을 포함하는 능동 인터포저(Active interposer)의 개념으로 확장
- 이를 통해 기존 PCB나 유기(Organic)기판이 갖는 낮은 전도성과 취약한 방열을 극복

● 최근 인공지능 반도체 구현을 위한 2.5D 집적공정이 각광받고 있으며, 높은 기술 난이도에 따라 대형 파운드리·IDM에서 기술개발 주도 중

- TSMC는 '12년 CoWoS(Chip-on-wafer-on-substrate) 기술을 개발·적용하여 4개의 28nm 칩을 통합한 이래로 지속적인 공정개발을 통해 현재 5nm 공정 양산을 위한 패키징 기술개발 중
- Intel은 전·후공정이 혼합된 웨이퍼 레벨 3차원 패키징 기술인 Foveros를 '19년 발표하였으며, '20년 고대역 메모리를 포함한 하이브리드 CPU 양산에 적용



출처: 한국전자통신연구원

[그림 9] Intel의 Foveros 공정 개략도

이와 같은 HI 기술은 크게 FO-WLP, SiP와 같은 TSV-less 기술과 TSV-based 기술로 양분화 중

● TSV-based 기술은 전공정 기술이 적극적으로 활용되는 고난도 기술인만큼, IDM이나 대형 파운드리 기업을 중심으로 진행 중이며, OSAT 기업들의 위축 우려

- 다양한 TSV-less 기술이 개발되고는 있으나, HPC(High performance computing) 분야와 같은 최첨단·차세대 제품군에서는 전량 TSV와 Si 인터포저를 접목한 적층 패키징 기술에 의존 중

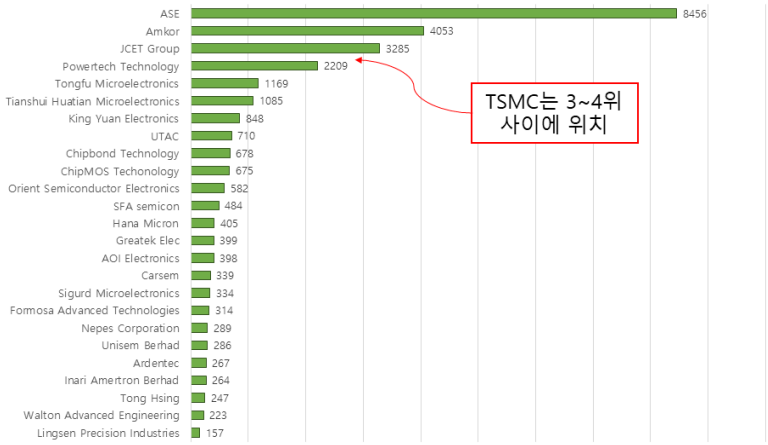
출처: Yole, 2018. 재구성

[그림 10] 개발중인 TSV-less 기술들

제3장 산업동향

OSAT 기업의 세계 시장 규모는 '19년 575억 달러에서 연평균 5.3%로 성장하여 '26년 823억 달러 전망

- 전 세계적으로 대만과 중국 OSAT 기업이 높은 점유율로 선도적 위치를 유지
  - '18년 기준, 글로벌 상위 25대 OSAT 기업에 대만 기업이 12개, 중국기업이 4개 포함되어 있으며, 전체 시장의 약 73%를 점유[8)]
  - 한편, 우리나라의 OSAT 세계 시장 점유율은 3.3% 수준이며, 글로벌 상위 25위에는 3개 기업이 포함('18년 상위 25개 기업 매출 279억 달러 기준)
- '18년 기준, 글로벌 상위 25대 OSAT 기업에 대만 기업이 12개, 중국기업이 4개 포함되어 있으며, 전체 시장의 약 73%를 점유하고 있으며, 해외 주요 OSAT 기업으로는 대만 ASE, 미국 Amkor, 중국 JCET 등이 존재
  - 2003년 ASE가 Amkor를 제치고 1위를 차지한 이후 17년 동안 꾸준히 1위를 지키면서 2위와의 격차를 계속해서 늘리는 추세
  - OSAT 업체로 포함되지 않지만, TSMC의 패키지 사업 규모는 3~4위 중간에 위치할 것으로 예상



출처: Yole, 2019.

[그림 11] 세계 OSAT 기업 규모

8) 3D InCites, Top 25 OSATs Ranking, 2019.07.01.

우리나라는 메모리반도체 분야 세계 1·2위 IDM 기업을 보유하였으나, 패키징 기술을 포함한 시스템반도체 분야 산업 경쟁력은 다소 열세

- '14년 전세계 OSAT 업계순위 25위 안에 5개 국내 기업이 있었으나, '20년 기준 SFA, 하나마이크론, 네페스 등 3개 기업 존재
  - 메모리 패키지 전문기업 하나마이크론의 경우 최근 WLP 제품에 대한 범위를 넓혀 나가고 있으며, 비메모리 반도체 분야에서도 활발한 활동을 보임
    ※ SFA와 하나마이크론은 삼성전자로부터 외주물량에 따라 매출이 크게 영향을 받는 사업구조로 '18년 대비 '19년 매출이 각각 44.1%, 16.4% 상승하면서 '19년 전 세계적인 OSAT 업체 매출 감소에도 불구하고 큰 매출 상승을 기록
  - WLP 전문 기업인 네패스의 경우 일찌감치 FO기술을 개발하여 첨단패키지 시장에 진입하였으며, 최근에는 Deca Technologies(미국)社의 유관 기술, 라이선스 및 영업권과 생산설비들을 인수하여 관련 포트폴리오 강화에 힘쓰고 있음
    ※ Nepes의 경우 WLP 및 FC 패키징 분야에서 다양한 국내외 고객사를 확보하면서 꾸준한 매출 성장을 기록('18년 대비 17.6%)
- 세계 메모리반도체 업계 1위 IDM 기업인 삼성전자는 시스템반도체 파운드리 생산도 수행하고 있으며, 3D 패키지 기술에 대한 투자와 개발에 집중하여 업계 1위 TSMC(대만)과 경쟁 중
  - 삼성전자 파운드리는 EUV를 포함하여 반도체 전공정에 공격적인 투자를 진행하고 있으나, 후공정 분야 중 패키지 솔루션 기술은 업계 1위인 TSMC(대만) 대비 상대적으로 열세
  - 또한, 삼성전자는 '19년 삼성전기의 FO-PLP기술을 인수하여 패키지 기술을 보강하고 파운드리 및 시스템반도체 사업과 시너지를 모색

〈표 5〉 국내외 OSAT 주요 기업 최신 동향

주요 기업	최신 동향
ASE (대만)	- 전 세계 1위 OSAT 기업으로 글로벌 파운드리 기업과 전략적 파트너를 구축하고 패키지에서 테스트까지 독립적인 서비스를 제공 - ASE Group 전체 매출은 '19년 대비 13~15% 상승한 92억 달러 수준의 매출 예상되며, ASE KOREA의 매출은 '19년 4억2천만 달러에서 '20년 4억 5천만 달러로 상승 예상 - '20년 상반기 FC/Bumping/WLP/SiP 패키지에서 36% 수준의 매출 상승으로 전체 매출 성장을 이끌고 있고, Fan-out의 경우 매출은 크지 않지만 68% 성장세 전망 - Application 별 매출로는 Communication 53%, Consumer 21%, Computing 14%, Automotive 5% 로 예상
Amkor (미국)	- Thin 패키지, TSV, TMV, SIP 등 새로운 패키지 기술개발에 주력 - Amkor Group 전체 매출은 '19년 대비 18% 상승한 48억 달러 수준, Amkor KOREA의 매출은 2020년 24억 달러로 예상됨 - 국내 주 고객으로는 삼성이 절반 이상 차지하고 이외 Siliconworks / ADT 등 FABLess 업체가 고루 분포 - '20년 상반기 FC/WLP/SiP 패키지에서 30% 이상의 매출 상승으로 전체 매출 성장을 견인

주요 기업	최신 동향
	- SiP 등 첨단패키지 기술은 약 2배의 매출 성장이 예상되나, 기존 와이어본딩 및 리드프레임 제품은 자동차 시장 약화로 다소 둔화 예상 - Application 별 매출로는 Communication 38%, Consumer 26%, Computing 16%, Automotive/Industrial 21%이 예상
JCET (중국)	- 패키지 패러다임의 변화에 대응하여 웨이퍼 레벨 패키지, 플립 칩 인터커넥트 및 TSV 등 차별화된 솔루션 개발을 위해 노력 중이며, '20년 JCET Group 전체 매출은 '19년 대비 6% 상승한 35억 달러 수준의 매출 전망 - 중국 Jiangyin에 HQ를 둔 기업으로써, Leadframe 위주의 Low end 패키지를 시작으로 SMIC와 합작으로 WLCSP, FC, SiP 등을 시작하고 StatsChipak을 인수하면서 Global OSAT 업체로 편입 - JCET Korea의 경우, SiP, PoP 등 첨단패키지 사업이 주를 이루고 있으며, iPhone / 삼성 저가형 스마트 폰, Qualcomm 관련 매출이 큰 것으로 파악
TSMC (대만)	- 파운드리 기업임에도 불구하고, 패키징 분야 기술력을 확보하여 원스톱 패키지 서비스 및 프로브카드 설계 등 통합 서비스 제공 • Wafer level chip scale package(WLCSP), Chip-on-Wafer-on-Substrate, Integrated FO 등과 같은 첨단 패키징 기술을 세계 최고 수준으로 서비스 - 패키징 뿐 아니라 어셈블리·테스트 분야 외주 파트너의 공급망을 관리하여 고객에게 후공정 분야의 turn-key 서비스를 제공 - '20년 기준 매출의 9% 수준을 최첨단 기술 R&D에 할당하여 최신의 소자 집적화와 패키징 기술 구현 추진
SFA 반도체 (한국)	- 국내를 비롯한 중국, 필리핀에 현지 법인을 구축하여 생산력 향상 및 원가 경쟁력을 강화하는 등 글로벌경쟁력 확보에 주력 - 차세대 패키지 관련 연구개발에 집중함으로써 다양한 특허와 원천기술 확보 및 Bumping에서부터 패키지 및 테스트까지 일괄공정 체계 구축
하나마이크론 (한국)	- 주력기술인 FC를 포함하여 SiP, MCP, 인터포저 등 다양한 패키지 기술 보유 - 반도체 제조 및 재료 부문의 기업부설 연구소를 설립하여 전반적인 후공정 분야 연구개발 수행 - 최근 FCBGA(Flip-chip ball grid array), 플랙서블 패키지 등 차세대 패키징 기술 개발과 함께 제품 맞춤형 최적화 패키지 기술을 적용하는 서비스 제공
네페스 (한국)	- 타 OSAT 기업과 달리 전통적인 패키지에 대한 투자를 축소하고, 첨단 패키지 중심의 후공정 사업에 집중 - '20년 FO 패키지 특화된 자회사 '네페스 라웨'를 설립하여 FO-WLP, FO-PLP 등 기술 개발에 주력 - ASE社에 집중된 FO패키지 의존도를 낮추기 위해 Deca Technologies(미국)社의 자산과 특허를 인수하는 등 시장에 적극적으로 대응 중 - TSMC社에 집중된 후공정 의존도를 낮추기 위해 국내 파운드리와의 적극적인 협력을 통해 생태계 강화 노력

반도체 패키징 세계시장은 '15년부터 연평균 4.84% 성장하여 '24년 849억 달러에 이를 것으로 전망되며, 우리나라의 생산 비중은 평균 22% 수준

- 세계 시장 규모는 '16년 582억 달러 규모에서 '24년 849억 달러로 전망
  - 국내 시장은 '16년 약 131억 달러에서 연평균 4.8% 증가하여 '24년 170억 달러가 전망되며, 시장 점유율은 약 20%로 예측 됨

〈표 6〉 반도체 패키지 세계시장 전망('16~'24년)

(단위: 억 달러)

구분	'16년	'17년	'18년	'19년	'20년	'21년	'22년	'23년	'24년	CAGR
반도체 패키지 세계시장	582	610	639	670	703	738	774	810	849	4.84%
해외생산 (비중)	451 (77.5%)	476 (78.0%)	499 (78.1%)	523 (78.1%)	549 (78.1%)	579 (78.0%)	604 (78.0%)	640 (79.0%)	679 (80.0%)	4.85%
국내생산 (비중)	131 (22.5%)	134 (22.0%)	140 (21.9%)	147 (21.9%)	154 (21.9%)	162 (22.0%)	170 (22.0%)	170 (21.0%)	170 (20.0%)	4.80%

출처: 한국IR협의회, 기술분석보고서, 2018. 재가공

※ '18년 이후 전망은 '15~'17년까지의 CAGR을 기준으로 추정

- 첨단 패키징 세계 시장은 향후 Flip-Chip, SiP, WLP가 높은 비중을 차지하고 있으며, PLP와 Stacking은 작은 비중에도 응용 분야에 따라 큰 성장이 예상
  - PLP와 Stacking은 각각 연평균 79%, 27%의 가파른 성장세가 예상되며, Flip-Chip과 SiP, WLP의 경우 시장점유율은 높으나 성장률은 다소 저조할 것으로 전망

〈표 7〉 패키지 기술 분야별 세계시장 전망('20~'24년)

(단위: 억 달러)

구분	'20년	'21년	'22년	'23년	'24년	CAGR	점유율 ('24년 추정)
Flip-Chip	273.0	288.0	305.0	322.0	340.0	5.6%	48.4%
FI-WLP	47.0	52.0	57.0	62.0	69.0	10.1%	9.8%
FO-WLP	19.0	23.0	27.0	32.0	39.0	19.5%	5.5%
FO-PLP	0.5	0.8	1.5	2.7	4.8	79.0%	0.7%
SiP	141.0	150.0	158.0	167.0	177.0	5.8%	25.3%
적층(2.5/3D)	28.0	35.0	45.0	57.0	73.0	27.0%	10.4%
전체 세계시장	509.3	549.0	594.5	644.4	703.1	8.4%	100.0%

출처: Yole, Systemplus, Technavio 등 다수 취합

반도체 제조 생산·공급은 응용 분야에 따라 다양한 레벨로 변화 진행 중이며, 특히 첨단패키지 분야에 대한 큰 변화가 예상됨

- 모바일 프로세서(AP)의 기술개발 경향이 패키지에서 실리콘 소자 집적[9]으로 변화함에 따라 높은 수준의 기술이 요구되므로 기존 OSAT 업체를 대신해 대형 파운드리가 주요 플레이어로써 부상
  - TSMC의 경우, Apple社의 최신 프로세서의 패키지를 시작으로 본격적인 AP 분야 사업에 뛰어들었으며, 이후 다양한 고집적 FO기술을 통해 다양한 제품을 도입·소개하면서 자체적인 별도의 본격적 사업 시작

    ※ 주요 고객사에게 웨이퍼 가공(전공정)부터 패키지 작업까지 Turn-key 서비스를 제안함으로써 AP 개발을 시작하여 '19년 30억 달러의 매출을 기록, OSAT 기업 기준 4위 예상

9) 최근, 애플의 경우 자사 컴퓨터인 Mac의 프로세서를 기존 Intel 제품을 대체하여 자체 개발한 AP기반의 M1(apple silicon) 프로세서를 적용함으로써 이와 같은 패러다임 변화를 주도

- 후공정용 기판 수요 감소 우려로 인해 주요 IC 기판 및 PCB 기판 제조 업체들(SEMCO, Unimicron, AT&S, Shinko 등) 역시 첨단 후공정 기반 AP 시장 경쟁에 참여하며 전통적인 OSAT를 위협

- 전통적인 OSAT, IDM 업체의 영역이었던 패키징 분야가 거대 파운드리, PCB 및 기판 업체들의 진입에 따라 다변화되며 경쟁이 심화 중
  - OSAT 업체의 경우 이와 같은 위기를 타개하기 위해 패키징 분야뿐만 아니라 테스트 영역에 대한 투자를 확대함으로써 Turn-key 사업형태를 강화하는 추세

제4장 정책동향

본 고에서는 반도체 패키징 기술을 포함한 시스템반도체 산업 관련 국내외 정책 동향을 살펴보고자 함

4.1 주요국 정책 동향

(미국) '80년대부터 지속적인 반도체 산업 육성으로 공고히 다진 전통적인 글로벌 1위로 지속적인 기술혁신생태계 작동

- SRC(Semiconductor Research Corp. 미국반도체산업협회 산하)가 산업계와 정부간의 가교 역할을 수행하며, 이를 통한 반도체 경쟁력 재탈환과 혁신생태계를 구축

  * SRC는 연방정부의 지위 하에 산·학·연 협력 R&D사업인 NRI(Nanoelectronics Research Initiative)주관

  - '82년 반도체 기술 개발의 저변 확대를 위해 SRC를 설립한 이래 반도체 제조기술 연구 조합인 SEMATECH, Albany Nanotech. 등을 설립하며 지속적인 육성

- NNCI(National nanotechnology coordinated infrastructure)를 통해 연구개발 시설 지원

  - '04년 미국국립과학재단(NSF) 지원으로 시작한 사용자 중심 시설로써 미국 17개 주 29개 대학과 연합하여 운영하며, 학계·중소기업·정부 연구원 등 전문 지식을 갖춘 사용자에게 최첨단 시설 제공

  - NSF의 펀딩으로 대학거점의 반도체 소재, 장비, 공정 등 미래형 원천 연구를 추진하며, 국방부(DOD), 국립표준연구소(NIST), 에너지부(DOE) 등의 지원으로 반도체 응용소자 개발 중

(중국) '중국제조 2025' 계획을 통해 반도체 산업 자립을 주요 목표

- 반도체 굴기 실현을 위해 '15년 '중국제조 2025'를 발표하여 '20년까지 반도체 내재화율 40%, '25년까지 70% 달성 추진

  - 자국 반도체 기업에 대한 금융 세수 지원, 외국 기업과의 R&D 협력, 합작 투자 및 인수 합병(M&A) 추진, 국내 인재 육성 및 해외인재 영입 장려 등 지원

〈표 8〉 중국 정부의 시스템반도체 분야 주요 정책

정책	주요내용
IC산업 12-5 발전계획 (2012. 02)	**(목표)** '15년까지 IC산출량 1,500억개 초과, 매출 총액 3,300억 위안, 세계 시장 점유율 15% 달성 **(정책)** 투자/융자 채널 확대, 글로벌기업의 중국 내 투자 및 중국 기업과의 R&D 협력 장려, 인재 육성 및 해외 인재 영입 지원
IC산업 발전 추진 요강 (2014. 06)	**(목표)** '20년까지 반도체 설계·패키지 기술 선진국 수준 도달, 반도체 산업 매출 연평균 증가율 20% 초과 **(정책)** 반도체 기업에 대한 금융 및 세수 지원 강화, 218억불 규모의 중국 반도체 산업 투자 펀드 조성
중국제조 2025 반도체 육성전략 (2015. 05~)	**(목표)** 반도체 자급률 '20년까지 40%, .25년까지 70% 달성 **(정책)** '25년까지 10년 간 1,430억불 수준의 투자펀드를 조성 계획으로 '14년 1차로 218억불 규모의 펀드를 조성하여 70개 프로젝트에 투자하였으며, '18년 약 430억불의 신규 반도체 투자 펀드 조성 계획 발표

출처: IITP(2012), 한국무역보험공사(2018. 08)

- 중국 정부의 공적 자금 지원을 통해 기업 간 M&A 및 후공정 소재·장비와 고부가가치 공정 개발을 지원
  - 중국 3대 패키지 업체인 장전과기(JCET), 화천과기(TSHT), 통복미전(TFME) 등은 세계 10대 OSAT기업에 포함
  - '17년 글로벌 반도체 패키지 소재시장에서 26%, 어셈블리 장비시장에서 37% 점유율을 차지
- 재정부와 국가개발은행이 공동으로 국가 기금 마련을 마련하여 지원 중이며, 지역별로 시스템 반도체 산업 지원정책을 발표하여 장기적 투자인 R&D와 함께 설계, 제조 등 사업화에 집중
  - '반도체 산업발전 추진요강'의 후속 조치로 설립한 '국가집적회로산업투자기금'은 반도체 설계, 제조, 패키지 전문기업의 규모 확보를 목적으로 운영 중
  - 이러한 국가 기금을 바탕으로 자국 기업에 대한 투자·융자 및 인력채용, 설계자산(IP)매입을 지원하고, 판매·매출 발생 시 장려금 지급

(대만) '70년대부터 국가적 차원으로 연구·산업단지를 조성하여 R&D, 기업육성, 인력양성 등 지속적이고 종합적인 지원

- '80년대 국가적 차원의 지원을 통해 산업단지 및 연구단지를 출범하여 적극적인 기술개발 추진
  - '80년 정부 주도하에 신주과학산업단지를 조성하여 긴밀한 산·학·연 협력을 통한 시스템 반도체 중심의 첨단산업단지를 조성
  - '19년 1월 국가 차원의 반도체 연구기관 '대만반도체연구센터(Taiwan Semiconductor Research Institute, TSRI)' 출범하여 설계, 제조공정 등 종합적인 연구개발 및 인재육성

    ※ TSRI는 기존 칩시스템설계센터(National Chip Implementation Center, CIC)와 나노소자실험실(National NanoDevice Laboratories, NDL)이 합병

- ’73년 반도체 선행기술 개발·이전을 담당하는 ITRI(Industrial Technology Research Institute)를 설립하는 등 국가 지원을 통한 활발한 기업 육성
  - ITRI가 출원한 지식재산을 활용해 기술이전 라이센싱 수익 극대화, 벤처창업 지원을 통한 사업화 추구를 위해 TTSC(Technology Transfer and Service Center) 설립
    ※ ’15년 기준 수입은 6,000억원으로 48% 정부 연구 개발 프로젝트, 44% 산업용 서비스(비즈니스 컨설팅, 교육·훈련, 기술 지원 등), 7% 기술 이전 수입
  - ITRI를 통해 ’87년 세계 최대 파운드리 업체인 TSCM가 설립되었으며, ITRI에서 스핀아웃하여 세계 4위 파운드리 업체 UMC 설립

(일본) 지난 20년간 시스템반도체 개발 거점 구축과 설계 및 프로세서 산·학·연 협력기반 연구개발 지원

- (ASUKA I~II) ’01년~’06년, 840억엔 규모로 첨단 LSI 설계기술 및 프로세서 개발을 목표로 ‘ASUKA I’ 프로젝트를, ’06년~’11년, ‘ASUKA I’ 후속으로 산·학·연 연계를 통한 신기술 조기 실용화를 목적으로 ‘ASUKA II’ 프로젝트 추진
  - (ASUKA I) SoC설계 환경, 설계 자산인 IP유통을 위한 인프라 정비, SoC 설계 교육을 통한 인재육성 등 SoC 설계 관련 분야는 STARC[10]에서 담당하였으며, 리소그래피 기술, 트랜지스터, 배선 기술, ASUKA I 연구용 라인 구축 등 SoC 장치 프로세스 관련 분야는 Selete[11]에서 담당
  - (ASUKA II) 반도체 기업의 설계 기반 기술력 강화와 대학 및 기업과의 공동연구를 통한 인재 교류 촉진에 주력
- 반도체의 고성능화, 에너지 고효율화 중심의 기술전략맵 수립했으며 기술전략맵 2010을 통해 반도체 분야에 대한 목표와 미래 실현 사회상을 제시
  - ’18년 신형 반도체 개발 거점을 구축하여, 산학연협력 기반으로 설계부터 시제품까지 개발에 필요한 설비를 지원하고 지능형 반도체 개발을 계획

(유럽) EU 차원의 연구 단체 설립과 개별 국가들의 기업 지원을 통한 산업 육성

- IMEC, CEA-LETI, Fraunhofer 등 반도체 분야 경쟁력 강화를 위한 단체 설립 및 유지
  - IMEC은 반도체 설계부터 공정, 소자, 시험, 제작 등 모든 공정의 R&D를 지원하는 반도체 종합연구소로, 현재 약 100개국과 공동연구를 수행 중

10) STARC: ’95년 설립, 요코하마시에 본부를 둔 반도체 이공학 연구센터
11) Select: ’96년 설립, 츠쿠바시의 슈퍼 클린룸 산·학관과 연계된 반도체 첨단 테크놀로지스

- 유럽 내 각 국가별로 자본금 및 세제 등 지원으로 자국 기업 육성
  - 매출 대비 정부지원금을 봤을 때 스위스 기업인 ST마이크로일렉트로닉스의 경우 4%, 네덜란드 기업인 NXP의 경우 3.1% 수준의 지원을 받는 상황

※ NXP는 자국의 지원을 바탕으로 '20년 기준 차량용 반도체 시장에서 글로벌 1위를 유지

[주요국의 시스템반도체 관련 정책]

국가	정책 개요
미국	- 반도체 산업협회 주도로 반도체연구서비스회사(SRC, '82) 설립하여 SEMATECH, 반도체로드맵 등 정부와 산업계 간 가교역할 수행 - SRC는 Nanoelectronics Research Initiative(NRI, '06~) 연구관리 추진(산학연 협력 연구) - 제조업경쟁력강화법: Fast Prototyping Center - "The CHIPS for America Act('20.6)" 등을 통해 본격적인 투자, 인재양성, R&D를 포함하는 리더쉽 확보 프로그램을 가동
유럽	- EuroPAT-MASIP프로젝트 - mobility, living, health 등 산업 분야 전자SW 응용네트워크 적용을 위한 Silicon Euorope 프로젝트 추진 - Europractice 프로그램(1.8조원) - IMEC(벨기에): 기초원천-사업화까지 전주기 연구와 사업화, 교육 훈련 등 복합기능을 수행하나, Rapid Prototyping & Testing 중점
중국	- 중국제조2025계획(2025년 반도체 자급률 70%) - 국가첨단패키지센터(NCAP, 2012) 설립 - 최근 "신시대 집적회로산업 및 소프트웨어산업 고품질 발전추진정책"('20. 8)을 통해 전방위적인 반도체산업 지원책을 제시
대만	- 대만반도체연구소(TSRI, '19) 설립: 반도체설계센터(CIC)와 나노부품실험실(NDL)를 통합하여 설계-제작-패키지를 전과정 통합 연구 지원 - Semiconductor Moonshot Project('19-2022, 1.3억US$): AI칩, AR·VR, IoT, 자율주행 분야 투자
일본	- Society 5.0 사회 구현을 위한 과학기술기본계획 → 지능형 반도체 R&D투자 강화 - 국책사업 추진: ASUKA-I('01-'06, 8,331억원), MIRAI 프로젝트('01-'07, 3,306억원), VDEC프로그램 (1,180억원)

4.2 국내 정책동향

메모리반도체 중심의 산업구조를 탈피하기 위해 시스템반도체 경쟁력을 강화하고 생태계를 조성하기 위한 정책 추진

- 시스템IC 2010('98년~'11년), 시스템IC 2015('11년~'16년)
  - (시스템IC 2010) 13년간('98년~'10년) 40개 R&D 과제를 대상으로 2,467억 원 투자, 소규모(과제당 5억 내외)로 반도체 기반조성을 위해 투자 지원

- (시스템IC 2015) 약 1천억 원을 투입하여 휴대폰, D-TV, 자동차 3개 분야의 시스템 반도체 기술개발 및 팹리스·파운드리 육성지원

● 시스템반도체 저변 확대를 위해 약 19년('98년~'16년) 간 정부 사업을 추진하였으나, 여전히 3% 수준으로 낮은 세계시장 점유율과 기술력 부족

최근, 종합반도체 강국으로 거듭나기 위한 시스템반도체 분야에 대한 대대적인 지원을 위한 정부 R&D 지원 정책 발표

● (AI 반도체 산업 발전 전략(시스템반도체 비전과 전략 2.0) - '20.10, 부처합동)

- (비전) AI 반도체 선도국가 도약으로 AI·종합반도체 강국 실현
  - · 글로벌 시장 점유율 : ('26년) 10% → ('30년) 20%
  - · AI 반도체 혁신기업 : ('26년) 10개 → ('30년) 20개
  - · AI 반도체 고급인재 : ('24년) 1,000명 → ('30년) 3,000명
- (주요 추진내용)
  - · AI 반도체 퍼스트무버 도약을 위한 혁신기술·인재 및 래퍼런스 확보
  - · 산업 경쟁력 조기 확보를 위한 선제적·자생적 산업생태계 구축

● (시스템반도체 비전과 전략 - '19.04, 부처합동)

- (비전) 메모리반도체 강국에서 종합 반도체 강국으로 도약
  - · 팹리스 시장점유율 : ('18년) 1.6% → ('22년) 3.0% → ('30년) 10%
  - · 파운드리 시장점유율 : ('18년) 16% → ('22년) 20% → ('30년) 35%
  - · 고용창출 : ('18) 3.3만명 → ('22년) 4만명 → ('30년) 6만명
- (주요 추진내용)
  - · 시스템반도체 주요 분야인 팹리스·파운드리의 성장 지원과 부문별유기적 연계를 통해 생태계 전반의 수준을 업그레이드
  - · 세제·금융지원 등을 통해 기업의 투자를 뒷받침하고, 시장에서 필요로 하는 인력양성과 일자리 창출의 선순환 구조를 마련

제5장 R&D 투자동향

최근 3년간('17년~'19년) 시스템반도체 분야 R&D 총 투자액은 약 2조 4211억 원으로, 이중 반도체 패키징 분야는 총 3,824억 원 규모(16.1%비중)

※ 본 고의 정부 R&D 과제 투자동향은 NTIS에서 관련 키워드 검색으로 산출하였으며, 시스템반도체분야는 메모리반도체를 제외한 비메모리 및 후공정 유관 사업, 패키징 분야는 시스템반도체 사업 내 패키징 기술 유관 사업으로 추출함

- 시스템반도체 분야 R&D 총투자액은 '17년 7,814억 원에서 '18년 소폭 감소한 7,801억 원 규모였으나, '19년 8,594억 원으로 전년 대비 약 10.2% 증가
  - 시스템반도체 분야 R&D 투자액 중 과학기술정보통신부의 규모는 '17년 기준 약 3,647억 원에서 '20년 4,031억 원 수준으로, 지난 3년간 총 투자액 중 45.5%의 가장 높은 비중을 차지
  - 산업통산자원부의 투자 비중은 '17년 2,737억 원(35.0% 비중)에서 '19년 2,793억 원(31.7% 비중)으로 매년 소폭 감소하는 추세이며, 중소기업벤처부의 시스템반도체 분야 R&D 투자는 '17년 622억 원(8.0% 비중)에서 '20년 782억 원(9.1% 비중)으로 연평균 12.1%의 증가세를 보임

〈표 9〉 시스템반도체 분야 정부 R&D 투자 현황('17년~'19년)

(단위 : 백만원)

부처명	'17년		'18년		'19년		총 투자액		연평균 증가율 (CARG)
	예산	비중	예산	비중	예산	비중	예산	비중	
과학기술정보통신부	364,778	46.7%	359,030	46.0%	403,103	46.9%	1,102,733	45.5%	5.1%
산업통상자원부	273,743	35.0%	263,482	33.8%	279,327	32.5%	766,819	31.7%	1.0%
중소벤처기업부	62,191	8.0%	64,228	8.2%	78,183	9.1%	246,553	10.2%	12.1%
교육부	26,821	3.4%	40,310	5.2%	41,930	4.9%	108,533	4.5%	25.0%
국토교통부	2,703	0.3%	8,192	1.1%	19,758	2.3%	54,192	2.2%	170.3%
해양수산부	10,043	1.3%	13,989	1.8%	9,671	1.1%	23,659	1.0%	△1.9%
환경부	6,860	0.9%	5,515	0.7%	4,984	0.6%	14,688	0.6%	△14.8%
보건복지부	2,714	0.3%	2,984	0.4%	2,711	0.3%	7,802	0.3%	△0.1%
다부처	30,148	3.9%	21,292	2.7%	18,624	2.2%	40,911	1.7%	△21.4%
기타	1,464	0.2%	1,147	0.1%	1,200	0.1%	4,735	0.2%	△9.5%
합 계	781,470	-	780,169	-	859,491	-	2,421,131	100.0%	4.9%

- 반도체 패키징 분야 R&D 투자액 중 산업통산자원부의 규모는 '18년 552억 원에서 '20년 468억으로 연평균 약 5.3% 감소하는 추세이나, 전체 비중으로는 43.9%를 웃돌며 가장 큰 규모를 차지
  - 시스템반도체 분야 R&D 투자액은 연평균 2.2% 감소 추세로, 과학기술정보통신부와 산업통산자원부는 각각 -1.7%, -5.3%으로 비슷한 다소 감소하는 추세
  - 중소기업벤처부의 시스템반도체 분야 R&D 투자는 '18년 643억 수준(8.2% 비중)에서 '20년 1,041억 규모(10.4% 비중)로 연평균 17.5%의 큰 증가세를 보임

〈표 10〉 반도체 패키징 분야 정부 R&D 투자 현황('17년~'19년)

(단위 : 백만원)

부처명	'17년		'18년		'19년		총 투자액		연평균 증가율 (CAGR)
	예산	비중	예산	비중	예산	비중	예산	비중	
과학기술정보통신부	27,984	26.5%	33,049	29.9%	45,953	32.7%	106,985	30.0%	28.1%
산업통상자원부	56,213	53.2%	55,189	50.0%	65,911	46.8%	177,312	49.7%	8.3%
중소벤처기업부	11,368	10.8%	13,500	12.2%	17,389	12.4%	42,256	11.8%	23.7%
교육부	762	0.7%	898	0.8%	999	0.7%	2,658	0.7%	14.5%
국토교통부	-	0.0%	1,422	1.3%	7,815	5.6%	9,236	2.6%	-
다부처	7,875	7.5%	5,296	4.8%	1,296	0.9%	14,467	4.1%	△59.4%
기타	1,391	1.3%	6,420	5.8%	2,661	1.9%	10,473	2.9%	38.3%
합 계	105,595	-	110,476	-	140,726	-	356,797	-	15.4%

- 시스템 반도체 분야는 정부 R&D 전체 예산에서 매년('16년~'19년) 4%대의 비중을 유지하였으며, 패키징 분야 투자는 연평균 16.1%대로 꾸준히 상승
  - 시스템반도체 분야 R&D 투자액은 '16년에서 '18년까지 비슷한 규모(약 7,800억 원)를 유지하다 '19년에 전년 대비 10.0% 증가한 8,595억 원으로 상승
  - 반도체 후공정 분야 R&D투자 규모는 '16년 900억원 수준으로 시스템반도체 분야 투자액 대비 약 11.6% 비중을 차지하였으나, 투자액과 비중이 꾸준히 상승하여 '19년 1,407억 원 규모로 시스템반도체 분야 전체 투자액의 16.4%를 차지

〈표 11〉 정부 R&D 예산 대비 시스템반도체 및 후공정 분야 투자 동향('16년~'19년)

(단위 : 억 원)

	'16년	'17년	'18년	'19년	CAGR
정부 R&D 전체 예산	191,000	195,000	197,000	205,000	2.4%
시스템반도체 분야 (정부 예산 내 비중)	7,785 (4.1%)	7,815 (4.0%)	7,802 (4.0%)	8,595 (4.2%)	3.4%
반도체 패키징 분야 (시스템반도체 예산 내 비중)	900 (11.6%)	1,056 (13.5%)	1,104 (14.2%)	1,407 (16.4%)	16.1%

(수행주체) 최근 3년간('17년~'19년) 시스템반도체 분야 및 패키징 분야는 중소기업의 R&D 수행 비중이 가장 높았으며, 패키징 분야는 대기업에 대한 정부 투자는 이루어지지 않음

- 시스템반도체 분야 R&D는 중소기업의 수행 비중이 지난 3년간 34.2%로 가장 높았으며, 그 뒤로 대학, 국공립·출연연이 각각 29.6%, 20.9%를 차지
  - 대기업은 3년간 총 투자액의 3.8% 비중을 차지하나, 연평균 -34.8%로 투자 규모가 감소하는 중이며, 중견기업의 경우 대기업과 유사하게 3.7%의 비중을 차지하고 있으나 연평균 3%대로 투자액이 꾸준히 증가하는 추세

〈표 12〉 시스템반도체 분야 사업주체별 R&D 수행 현황('17년~'19년)

(단위 : 백만원)

연구개발 수행주체	'17년		'18년		'19년		총 투자액		연평균 증가율 (CAGR)
	예산	비중	예산	비중	예산	비중	예산	비중	
대기업	48,738	6.2%	22,341	2.86%	20,744	2.4%	91,823	3.8%	△34.8%
중견기업	30,472	3.9%	26,273	3.37%	32,235	3.7%	88,981	3.7%	2.9%
중소기업	266,597	34.1%	278,253	35.65%	283,806	33.0%	828,657	34.2%	3.2%
대학	215,362	27.6%	241,224	30.91%	260,202	30.3%	716,789	29.6%	9.9%
출연연구소	170,575	21.8%	150,355	19.27%	186,373	21.7%	507,304	20.9%	4.5%
기타	49,940	6.4%	61,988	7.94%	76,465	8.9%	188,395	7.8%	23.7%

- 반도체 패키징 분야 역시 3년간 중소기업의 투자 비중이 47.0%로 가장 높았으며, 연평균 7.2%로 증가 추세
  - 패키징 분야는 대기업의 참여가 이루어지지 않고 있으며, 중견기업의 경우 3년간 총 투자액의 8.3%를 차지하나 연평균 20.6%로 투자 감소 중
  - 시스템반도체 분야와는 달리 대학보다는 출연연구소 및 기타 수행 주체의 높은 투자 비중과 연평균 증가율이 나타남

〈표 13〉 반도체 후공정 분야 사업주체별 R&D 수행 현황('17년~'19년)

(단위 : 백만원)

연구개발 수행주체	'17년		'18년		'19년		총 투자액		연평균 증가율 (CAGR)
	예산	비중	예산	비중	예산	비중	예산	비중	
중견기업	10,647	10.1%	12,096	10.9%	6,715	4.8%	29,459	8.3%	△20.6%
중소기업	50,293	47.6%	59,468	53.8%	57,804	41.1%	167,566	47.0%	7.2%
대학	11,886	11.3%	12,249	11.1%	18,505	13.2%	42,642	12.0%	24.8%
출연연구소	13,669	12.9%	15,821	14.3%	25,524	18.1%	55,015	15.4%	36.6%
기타	19,097	18.1%	10,840	9.8%	32,176	22.9%	62,114	17.4%	29.8%

(연구개발단계) 시스템반도체와 패키징 분야 모두 개발연구 단계의 비중이 가장 높았으며, 패키징 분야는 기초연구 투자가 가파른 증가세를 보임

- 최근 3년간 시스템반도체 분야는 개발연구 중심(41.7% 비중)으로 추진
  - 다음으로 기초연구는 31.2%의 비중으로 연평균 5.2%의 투자 증가세를 보였으며, 응용연구는 매년 14.2%로 증가
  - 상용화를 포함한 기타 형태의 연구개발단계 투자 역시 매년 17.8%대로 가파른 증가 추세

〈표 14〉 시스템반도체 분야 연구개발단계에 따른 투자액('17년~'19년)

(단위 : 백만원)

연구개발단계	'17년		'18년		'19년		총 투자액		연평균 증가율 (CAGR)
	예산	비중	예산	비중	예산	비중	예산	비중	
기초연구	240,746	30.8%	247,630	31.7%	266,667	31.0%	755,044	31.2%	5.2%
개발연구	349,976	44.8%	320,267	41.0%	338,823	39.4%	1,009,068	41.7%	△1.6%
응용연구	127,710	16.3%	127,124	16.3%	166,592	19.4%	421,427	17.4%	14.2%
기타	63,254	8.1%	85,414	10.9%	87,744	10.2%	236,412	9.8%	17.8%

- 패키징 분야 역시 최근 3년간 개발연구가 2,148억 원으로 가장 높은 비중(60.1%비중)을 차지함
  - 15% 대로 유사한 투자 비중을 나타내는 기초연구와 응용연구는 각각 47.0%의 증가율과 7%대의 감소 경향을 보이며, 향후 R&D 동향의 변화가 예상

〈표 15〉 패키징 분야 연구개발단계에 따른 투자액('17년~'19년)

(단위 : 백만원)

연구개발단계	'17년		'18년		'19년		총 투자액		연평균 증가율 (CAGR)
	예산	비중	예산	비중	예산	비중	예산	비중	
기초연구	10,915	10.3%	20,592	18.6%	23,583	16.8%	55,091	15.4%	47.0%
개발연구	69,714	66.0%	64,075	58.0%	81,036	57.6%	214,827	60.2%	7.8%
응용연구	21,744	20.6%	12,888	11.7%	18,817	13.4%	53,451	15.0%	△7.0%
기타	3,220	3.0%	12,919	11.7%	17,287	12.3%	33,427	9.4%	131.7%

(중점사업) 반도체 패키징 기술개발을 포함하는 주요 R&D 사업은 시스템반도체 분야 중심으로 지원 중

- 대표적인 다부처 사업으로 '차세대지능형반도체기술개발사업'을 비롯한 반도체 분야 대표 사업의 내역사업 형태로 지원

- 과학기술정보통신부는 '전자정보디바이스산업원천기술개발사업' 및 '나노·소재기술개발사업' 등 내역사업들을 통해 차세대 반도체 공정의 원천기술 개발 지원
- 산업부는 전자부품산업기술개발사업 내 내역사업 지원을 통해 차세대 반도체 공정기술 개발 지원

〈표 16〉 반도체 패키징 분야 중점 사업

(단위 : 백만원)

부처명	사업명	기간	사업내용	예 산	
				'20년	'21년
다부처	차세대지능형반도체기술개발 (소자, 과기정통부) (내역: 집적검증기술개발)	'20년 ~ '23년	조기상용화 가능한 신소자 개발 및 IP 확보를 위한 웨이퍼 레벨 신소자 집적/검증기술 개발	3,000	8,250
	차세대지능형반도체기술개발 (설계·제조, 산업부) (내역: 반도체제조공정장비)	'20년 ~ '26년	반도체 제조 공정의 고집적화 (10nm이하)에 따른 반도체 장비, 핵심 부품 개발 및 제조 공정 기술 개발	17,365	22,579
과기정통부	전자정보디바이스산업원천 기술개발 (내역: 반도체)	'09년 ~ '21년	중장기적으로 상용화가 기대되는 신개념 소자·재료·공정 분야의 원천기술 개발	11,529	8,199
과기정통부	나노·소재기술개발 (내역: 시스템반도체연계지원 나노팹고도화)	'10년 ~ (계속)	일괄공정 등 나노팹 시설고도화 및 나노팹을 활용한 기술사업화·인력 양성·공정기술표준화 등 지원	26,320	20,060
산업부	전자부품산업기술개발 (내역:차세대시스템반도체 설계·소자·공정기술개발)	'20년 ~ '23년	반도체 미세화, 적층화에 필요한 단위공정 및 반도체 특성 향상을 위한 공정재료, 제조장비, 부품 성능 향상을 위한 기초·응용 연구 지원	2,300	3,000
산업부	전자부품산업기술개발 (내역: 차세대반도체기술개발)	'19년 ~ '21년	차세대 반도체 설계 핵심기술 개발 및 상용화, 차세대 반도체 제조 기반기술 개발	9,650	8,650

제6장 결론

반도체 산업은 저전력·고성능 구현을 위한 다기능·고집적 소자 제조 패러다임으로 전환 중

- 이중 패키징 기술은 전통적인 회로 보호와 같은 부수적인 역할을 탈피하여, 단순 미세화에 따른 소자 집적화와 성능향상의 기술적 한계를 극복하기 위한 핵심 기술로 부상
  - 리드프레임, 솔더볼 기반의 전통적인 패키징 기술에서 탈피, 다기능·고집적화를 동시에 구현하기 위한 첨단 패키징 기술의 비중이 확대하는 추세
- 전·후공정의 경계가 모호한 이종접합 패키징의 특성에 따라 기술 고도화를 위한 선진사들의 경쟁 심화
  - 고비용·고난이도의 TSV 기반 패키징 기술을 대체하기 위한 대안 기술들(TSV-less)이 다양하게 제시되고 있으나 최첨단 제품군에 적용에는 여전히 요원

패키징 기술은 응용분야 및 비용 등 다양한 시장수요를 고려하여 다변화하였으며, 향후 첨단 패키징 기술의 시장 성장이 전망

- 패키징 기술은 방향성에 따라 신기술이 기존 기술을 완전히 대체하지 않으며, 각각의 기술별로 일부 소재 및 공정의 개발을 통해 지속적으로 발전 중
  - 상대적으로 저난이도 패키징 공정인 FC 기술이 '20년 전체 시장의 약 53%를 점유하고 있으며, 고난이도인 2.5D/3D 적층 기술은 '20년 5%대의 점유율에도 불구하고 연간 27%의 성장률이 전망
- 한편, 첨단 패키징 기술의 비중이 높아지며, IDM·파운드리 등 대기업과 부품·소재 업체의 시장 참여로 인한 치열한 경쟁이 예상
  - 이러한 상황에서 OSAT 기업들은 지속적인 경쟁력 유지를 위한 신기술 개발 또는 인수합병을 통한 비용 절감, 인프라 및 기술 확충 등의 노력이 필요

메모리반도체 중심의 국내 반도체 산업 문제점이 패키징 기술을 포함한 반도체 후공정 산업에서도 유사하게 노출

- 메모리반도체에 편중된 산업 구조에 따라 기술 다양성과 내재화가 부족한 시스템반도체 산업과 유사하게 패키징 기술 역시 고도화와 다변화가 동시에 요구

- 수요자 중심의 특성과 첨단 패키징 기술 도입 등 환경 변화를 고려하여, 국내 OSAT-팹리스 기업 간 협력을 차세대 집적화 개발전략 필요
  - 메모리반도체 선도기술 개발의 경험을 토대로 종합적인 시스템반도체 지원 및 다양한 기술이 혼재되어 발전 중인 후공정 분야에 대한 전략적인 지원 필요

주요 선진국은 패키징을 비롯한 후공정 기술 확보를 위한 적극적인 지원 중이며, 우리나라는 후공정 중심의 종합적인 사업 추진 필요

- 최근 3년('17년~'19년) 패키징 분야 정부 R&D 투자액은 꾸준히 증가(연평균 16.1%)하는 추세이나, 대부분 사업 내 개별 과제 수준으로 패키징을 비롯한 후공정 분야에 대한 사업이 필요한 실정
  - 높은 비중의 중소기업 중심 개발연구에서 기초·응용연구 투자 확대를 통한 패키징 기술의 다변화와 고도화가 필요

- 패키징 기술은 응용 분야에 따라 다양하게 분화되어 있어, 전공정에 비해 시장진입 난이도가 상대적으로 낮으므로 패키징 기술개발을 위한 검증 인프라 및 시제품제작 등을 위한 특화 사업 추진을 통해 산업육성 필요

참고문헌

- 전북테크노파크 (2015), 「반도체 패키징 공정기술의 이해와 전망」.
- 한국산업기술평가관리원 (2017), 「반도체 미세화를 위한 반도체 공정장비 기술」.
- Amkor Technology. Inc (2018), 「Amkor's 2.5D Package and HDFO . Advanced Heterogeneous Packaging Solutions」.
- 한국IR협의회 (2018), 「기술분석보고서(SFA반도체)」.
- KDB산업은행 (2019), 「반도체산업 주요현안 및 경쟁력 강화방안」.
- 한국수출입은행 (2019), 「반도체 장비·소재산업 동향」.
- 기업심사센터 (2019), 「KOSME 산업분석Report - 반도체」.
- 한국IR협의회 (2019), 「반도체 장비 - 반도체 제조 FAB 증가 등으로 시장 성장」.
- 유진투자증권 (2020), 「네패스(도약을 꿈꾸는 비메모리 기대주)」.
- 한국IR협의회 (2020), 「기술분석보고서(하나마이크론, 반도체/반도체 장비」.
- 한국IR협의회 (2020), 「시스템 반도체 - 인공지능 구현을 위한 차세대 반도체 산업의 중심」.
- 한국산업기술평가관리원 (2020), 「글로벌 반도체장비 산업의 최근 동향과 시사점」.
- 정보통신산업진흥원 (2020), 「인공지능 모듈용 2.5D/3D 집적 기술 개발 동향」.
- 숭실대학교·정보통신연구진흥원, 「SiP(System-in-Package) 기술」.
- Sung Kyu Lim (2005), 「Thermal and Crosstalk-Aware Physical Design for 3D System-On-Package」.
- B. Bayraktaroglu (2017), 「Heterogeneous Integration Technology」.
- IEEE Electronics Packaging Society (2019), 「Heterogeneous Integration Roadmap 2019 Edition」.
- TechSearch (2020), 「Advanced Packaging for Heterogeneous Integration: What's Next」.
- YOLE Developpement (2020), 「Advanced Packaging Current Trends & Challenges」.

| KISTEP 기술동향브리프 발간 현황 |

발간호	제목	저자 및 소속
2020-01	우주탐사	문태석(KISTEP)·이재민(KISTEP) 문홍규(천문연)
2020-02	학문후속세대 지원정책 동향	윤성용(KISTEP) 이상경((前)KISTEP)
2020-03	이차전지	유종태(KISTEP)
2020-04	5G 통신망 기술(Ⅱ. 전달망/액세스망)	이승필(KISTEP)
2020-05	신종감염병 위기대응 연구(진단, 치료, 백신)	김주원(KISTEP)·여창민(KISTEP)
2020-06	자율운항선박	이선명(KISTEP)·김선재(KISTEP)
2020-07	방사광가속기	함선영(KISTEP)
2020-08	동물대체시험법	김종란(KISTEP)·임경민(이화여대)
2020-09	제조용 협동로봇	유형정(KISTEP)·김홍범(KITECH)
2020-10	제조용 IoT	나영식(KISTEP)
2020-11	핵융합 에너지	여준석(KISTEP)·정예슬(KISTEP)
2020-12	신남방국가 과학기술 정책 동향 -인도, 베트남, 싱가포르-	권장호(KISTEP)
2020-13	스마트 헬스케어	한지아(KISTEP)·김은정(KISTEP)
2020-14	소형위성	이재민(KISTEP)·최충현(KISTEP)
2020-15	디지털 치료제 (Digital Therapeutics)	김주원(KISTEP)·장기정(KISTEP) 황은혜(KISTEP)
2020-16	반도체 후공정 (패키징)	채명식(KISTEP)·여성율(KISTEP)

|저자소개|

채 명 식

한국과학기술기획평가원 성장동력사업센터 부연구위원

Tel: 043-750-2608 E-mail: mchae@kistep.re.kr

여 성 율

한국과학기술기획평가원 성장동력사업센터 청년인턴

Tel: 043-750-2608 E-mail: seongyul@kistep.re.kr

|편집위원소개|

이 길 우 선임연구위원

진 영 현 연구위원

유 형 정, 여 준 석 부연구위원

변 영 호 거대공공사업센터 연구원

한국과학기술기획평가원 사업조정본부

Tel: 043-750-2524 E-mail: yhbyun@kistep.re.kr

※ 본 KISTEP 기술동향브리프의 내용은 필자의 개인적 견해이며, 기관의 공식적인 의견이 아님을 알려드립니다.

KISTEP 기술동향브리프 | 2020-16호

반도체 후공정 (패키징)

KISTEP 한국과학기술기획평가원
Korea Institute of S&T Evaluation and Planning

(27740) 충청북도 음성군 맹동면 원중로 1339
한국과학기술기획평가원
T. 043-750-2524 E. yhbyun@kistep.re.kr